

Laid-Open Number : 3-229221  
Laid-Open Date : October 11, 1991  
Application Number : 2-24631  
Application Date : February 2, 1990  
Int. Class Number : G02F 1/133, G09F 9/35  
Applicant : Mitsubishi Electric Corp.

### Specification

#### 1. Title of Invention

Liquid Crystal Panel

#### 2. Claim

(1) A liquid crystal panel of so-called an active matrix type, which has gate lines, source lines, and high-voltage lines and low-voltage lines each of which is held at a substantially constant potential while at least one picture plane is rewritten, wherein a pixel selection transistor in which a gate electrode is connected to said gate line and a source electrode is connected to said source line, a switching transistor in which a gate electrode is connected to said drain electrode of said pixel selection transistor and a drain electrode is connected to said low-voltage line, a load transistor or an ohmic resistor which is connected between said source electrode of said switching transistor and said high-voltage line, and a liquid crystal element in which a pixel electrode is connected to said source electrode of said switching transistor and an opposite electrode is held at a potential that is approximate to that of said high-voltage line are provided for each pixel.

#### 3. Detailed Description of the Invention

The present invention relates to a liquid crystal cell which is used in a plane display or the like.

[Prior Art]

Fig. 4 shows the constitutional example of a pixel of a conventional liquid crystal panel of an active matrix type shown in, for example, JP-A-1-200231. Fig. 4 is an equivalent circuit of one pixel of the liquid crystal panel using a thin film transistor. Reference numeral (2) denotes a gate line; (5) a source line; (40) a pixel selection transistor; (21) a gate electrode; (51) a source electrode; (61) a drain electrode; (10) a liquid crystal element

constructing one pixel; (7) a pixel electrode; (8) a liquid crystal layer; and (9) an opposite electrode. As a pixel selection transistor (40), a thin film transistor is used in many cases.

In the conventional active matrix type liquid crystal panel, the gate electrode (21) of a pixel selection transistor (400) is connected to a gate line (20), the source electrode (51) is connected to a source line (50), and the drain electrode (61) as a signal output terminal is connected to the pixel electrode (7). While the gate line (2) is selected, the potential of the pixel electrode (7) is substantially equal to the potential  $V_S$  of the source electrode (51). The liquid crystal layer (8) is sandwiched between the opposite electrode (9) and the pixel electrode (7) and exhibits an electric optical effect due to a potential difference between the two electrodes in accordance with the level of the potential  $V_{OUT}$  of the pixel electrode (7).

Fig. 5 is a timing chart when the liquid crystal panel is driven, Fig. 5(a) shows the potential  $V_G$  of the gate electrode, Fig. 5(b) shows the potential  $V_S$  of the source electrode, Fig. 5(c) shows the potential  $V_{OUT}$  of the pixel electrode, and Fig. 5(d) shows the transmittance  $T_{LC}$  of the liquid crystal layer.

The operation of the conventional panel will now be described.

While one frame is rewritten, gate lines (20) are sequentially selected by selection pulses shown in Fig. 5(a). The potential  $V_S$  (shown in Fig. 5(b)) of the source electrode (51) when the gate line (20) is selected is written as a potential  $V_{OUT}$  of the drain electrode (61) and the pixel electrode (7) of each pixel (shown in Fig. 5(c)). When the potential of the pixel electrode (7) is held until the next signal is written, the transmittance  $T_{LC}$  (shown in Fig. 5(d)) of the liquid crystal layer (8) is constant for a period of one frame so that the display operation with no flicker is performed.

[Problems that the Invention is to Solve]

Since the conventional liquid crystal panel is constructed as mentioned above, in the case where required charges are accumulated in the pixel electrode for a period of gate selecting time, a voltage which is applied to the liquid crystal layer is decreased due to charge dissipation caused by a transient current through the liquid crystal layer, a leakage current in the transistor or liquid crystal, or the like for a period of frame rewriting time, so that there is a problem that flicker occurs.

In order to solve the problem, hitherto, a process for providing a holding

capacitance between the gate electrodes at the front stage of the pixel electrode has been performed. However, in the case where the resistance value of the liquid crystal layer is small, it is necessary to prevent a decrease in applied potential to the liquid crystal by providing a fairly large holding capacitance. Consequently, a problem that the above fact results in a decrease in aperture ratio is caused.

The invention is made to solve the problems as mentioned above and it is an object of the invention to provide a liquid crystal panel which essentially has no flicker and which can perform good binary display when a liquid crystal material having a small resistance value is used.

[Means for Solving the Problems]

A liquid crystal panel according to the invention is characterized in that on an array substrate of the liquid crystal panel, in addition to gate lines and source lines, high-voltage lines and low-voltage lines are provided, an inverter circuit, to which an output of a pixel selection transistor is inputted and which is connected to the high-voltage line and the low-voltage line, is provided for each pixel, and the output voltage of the inverter circuit is applied to a pixel electrode of a liquid crystal display.

[Operation]

In the liquid crystal panel according to the invention, since the potential of the pixel electrode is held at that of the high-voltage line or low-voltage line in correspondence to the output of the pixel selection transistor until the next signal is inputted, a fluctuation in potential of the pixel electrode caused by a transient current through a liquid crystal layer, a leakage current in the pixel selection transistor or liquid crystal layer, or the like can be avoided, so that a satisfactory binary display with no flicker can be realized.

An embodiment of the invention will now be described with reference to the drawings hereinbelow. Fig. 1 is a diagram showing a construction as an equivalent circuit in one pixel of a liquid crystal panel according to the embodiment. Reference numeral (500) denotes the switching transistor and reference numeral (600) indicates a load transistor. Each of the transistors is an n-channel enhancement type. Reference numerals (21), (22), and (23) denote the gate electrodes of the transistors (400), (500), and (600), respectively; (51), (52), (53) the source electrodes of the transistors, respectively; (61), (62), (63) the drain electrodes of the transistors,

respectively; (20) the high-voltage line; and (30) a low-voltage line. The high-voltage line (20), low-voltage line (30), switching transistor (50), and load transistor (60) construct an inverter circuit (70). Reference numeral (90) denotes a load capacitor. The drain electrode (61) of the pixel selection transistor (40) is connected to the load capacitor (90) and an input terminal of the inverter circuit (70). The inverter circuit (70) is a circuit of what is called an NELS type constructed by two n-channel enhancement type transistors. The drain electrode (62) of the switching transistor (50) is connected to the low-voltage line (30) and the source electrode (52) is connected to the source electrode (53) of the load transistor (60). The gate electrode (23) and drain electrode (63) of the load transistor (60) are connected to the high-voltage line (20). An output terminal of the inverter circuit (70) is connected to the pixel electrode (7). The potential of the pixel electrode (7) is held at either one of the potential  $V_L$  of the low-voltage line (30) and the potential  $V_H$  of the high-voltage line (20) in accordance with the level of the input potential of the inverter circuit (70).

Fig. 2 is a diagram showing a timing chart when the liquid crystal panel of the embodiment is driven. Fig. 2(a) shows the potential  $V_G$  of the gate electrode, Fig. 2(b) shows the potential  $V_S$  of the source electrode, Fig. 2(c) shows the potential  $V_{IN}$  of the drain electrode, Fig. 2(d) shows the potential  $V_{OUT}$  of the pixel electrode, and Fig. 2(e) shows the transmittance  $T_{LC}$  of the liquid crystal layer.

The operation of the embodiment will now be described.

In the case where a pixel is selected, when the gate line (2) to which the pixel selection transistor (40) is connected is selected, the potential  $V_S$  of the source line (5) to which the pixel selection transistor (40) is connected is set

held at a high potential until the next gate is selected. The output  $V_{OUT}$  of the inverter circuit (70) is approximate to the value of the potential  $V_L$ . In the case that the potential  $V_{COM}$  of the opposite electrode (9) is set to a potential that is equal to the potential  $V_H$ , a voltage  $V_{LC}$  ( $= V_{OUT} \rightarrow V_{COM}$ ) applied to liquid crystal is substantially equal to a value of ( $V_L \rightarrow V_H$ ), so that the writing can be performed to the liquid crystal element (10).

On the other hand, when the gate line (2), which is connected to the pixel that is not selected, is selected, the potential  $V_S$  of the source line (5) is

set to a low potential. Due to this, the inverter input  $V_{IN}$  is held at a low potential until the next gate is selected, so that the output  $V_{OUT}$  of the inverter is approximate to the value of the potential  $V_H$ . Therefore, the voltage  $V_{LC}$  is substantially equal to 0V and the pixel can be set in a non-selecting state.

In the aforementioned embodiment, although the n-channel enhancement type thin film transistor is used as a thin film transistor constructing each pixel, a semiconductor material such as amorphous silicon film, polysilicon film, CdS film, or the like which is often used in the liquid crystal panel can be used as an active layer.

As a substrate on which the array is formed, a glass substrate is generally used. A semiconductor crystal substrate such as crystal silicon or the like can be also used. In this case, instead of the thin film transistors, MOS transistors can be also formed in the substrate to form the array substrate. Further, in the case of using a p-channel transistor or a depletion type one, the effect similar to the above can be expected by properly selecting the construction of the inverter circuit.

Further, in the above mentioned embodiment, the load transistor of the inverter circuit can be placed with an ohmic resistor or the like. Further, in the case that the gate line at one preceding stage is used as a low-voltage line, the effect is hardly changed. Further, the low-voltage line and high-voltage line can be also constructed as conductive films covering the whole display surface.

In the driving operation, it is important that the potential of the low-voltage source is made different from that of the high-voltage source and the potential is held for almost one frame time. The levels of the other

correspondence to the physical properties of liquid crystal or characteristics of an array circuit.

Use of the liquid crystal panel of the embodiment shown in Fig. 1 allows a driving due to an active matrix method of ferroelectric liquid crystal.

Fig. 3 is a timing chart at the time of the driving operation, Fig. 3(a) shows the potential  $V_G$  of the gate electrode, Fig. 3(b) shows the potential  $V_S$  of the source electrode, Fig. 3(c) shows the inverter input potential  $V_{IN}$ , Fig. 3(d) shows the potential  $V_H$  of the high-voltage line, Fig. 3(e) shows the potential  $V_L$  of the low-voltage line, Fig. 3(f) shows the voltage  $V_{LC}$  applied



to the liquid crystal element, Fig. 3(g) shows the transmittance  $T_{LC}$  of the liquid crystal layer.

The liquid crystal layer (8) is constructed by ferroelectric liquid crystal (hereinbelow, referred to as an FLC) in which polarization inversion is caused by bipolar pulses or simple rectangular pulses and which has high memory performance. In this instance, the driving due to the bipolar pulse is shown as an example. Upon driving, first, while image data is written into the load capacitor (90) (periods A in Fig. 3), the potentials  $V_H$  and  $V_L$  are set to a potential that is substantially equal to the potential  $V_{COM}$ . Therefore, in this case, irrespective of the value of image data, each pixel has  $V_{LC}$  to 0V and the liquid crystal element (10) of each pixel holds the display state of a previous frame.

Subsequently, after the image data is written, erasing pulses of a degree that the polarization inversion of the FLC is caused are supplied to the potentials  $V_H$  and  $V_L$  (periods B in Fig. 4). Due to this, irrespective of the value of the image data, the memory state of the liquid crystal element (10) of each pixel is erased.

Subsequently, writing pulses of a degree that the polarization inversion of the FLC is caused are supplied to only the potential  $V_H$  (periods C in Fig. 4). A response of the FLC at that time differs depending on the inverter input potential  $V_{IN}$  of each pixel, namely, the value of the written image data. When the input potential to the inverter is low,  $V_{OUT} \rightarrow V_H$ . The pulses are written into the pixel electrode (7) in accordance with the supply of the writing pulses to the potential  $V_H$ , so that the polarization inversion in the FLC is caused. On the other hand, when the input potential to the inverter is high,  $V_{OUT} \rightarrow V_L (= V_{COM})$ , so that the polarization inversion in the FLC is not

caused. Consequently, the binary display operation with no flicker of the liquid crystal panel can be realized.

#### [Effect of the Invention]

As mentioned above, according to the invention, the output of the pixel selection transistor is used as an input, there is provided the inverter circuit which is connected between the high-voltage line and the low-voltage line and which is constructed by the switching transistor and the load, the output of the inverter circuit is supplied to the pixel electrode of the liquid crystal element, and the potential is held constant for almost one frame time.

Consequently, there is no flicker caused by the decrease in pixel potential due to dielectric relaxation of liquid crystal or leakage current in the thin film transistor and there are effects to obtain the liquid crystal panel, which can perform a favorable binary display.

#### 4. Brief Description of the Drawings

Fig. 1 is an equivalent circuit showing the construction of one pixel of a liquid crystal panel according to an embodiment of the invention; Fig. 2 is a timing chart of the embodiment; Fig. 3 is a timing chart upon another driving operation of the embodiment; Fig. 4 is an equivalent circuit diagram of one pixel of a conventional liquid crystal panel; and Fig. 5 is a timing chart of the conventional panel.

##### [Description of the Reference Numerals]

(2) gate line, (21), (22), (23) gate electrode, (5) source line, (51), (52), (53) source electrode, (61), (62), (63) drain electrode, (7) pixel electrode, (8) liquid crystal layer, (9) opposite electrode, (10) liquid crystal element, (20) high-voltage line, (30) low-voltage line, (40) pixel selection transistor, (50) switching transistor, (60) load transistor, (70) inverter circuit

In the diagram, the same reference numerals denote the same or corresponding component elements.

1991

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-229221

⑮ Int. Cl.<sup>3</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)10月11日

G 02 F 1/136

5 0 0

9018-2H

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 液晶パネル

⑯ 特 願 平2-24631

⑰ 出 願 平2(1990)2月2日

⑱ 発 明 者 堀 川 剛 兵庫県尼崎市塚口本町8丁目1番1号 三菱電機株式会社  
材料研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

# 明 細 書

## 1. 発明の名称

液晶パネル

## 2. 特許請求の範囲

(1) ゲートラインと、ソースラインと、少なくとも一面面を占き換える間それぞれほぼ定電位に保持されるゲートラインと、ソースラインと、上記ゲートラインにゲート電極が接続され上記ソースラインにソース電極が接続された両系選択トランジスタと、このトランジスタのドレイン電極にゲート電極が接続されドレイン電極が上記低電圧ラインに接続されたスイッチングトランジスタおよびこのスイッチングトランジスタのソース電極と上記高電圧ラインの間に接続された負荷トランジスタもしくはオーミック抵抗と、上記スイッチングトランジスタのソース電極に両系電極が接続され対向電極が上記高電圧ラインに近い電位に保持されている液晶素子とを備えた液晶パネル。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、平面ディスプレイ等に用いられる液晶セルに関するものである。

〔従来の技術〕

第4図は、例えば特開平1-200231に示された従来のアクティブマトリックス型の液晶パネルの両系の構成例を示す。第4図は、薄型トランジスタを用いた液晶パネルの一面の構成例である。 (2)はゲートライン、 (5)はソースライン、 (40)は両系選択トランジスタで、 (21)はゲート電極、 (51)はソース電極、 (61)はドレイン電極である。 (10)は一面系を形成する液晶素子で、 (7)は両系電極、 (8)は液晶層、 (9)は対向電極である。なお、両系選択トランジスタ(40)は薄型トランジスタが用いられることが多い。

この従来のアクティブマトリックス型の液晶パネルは、両系選択トランジスタ(40)のゲート電極(21)はゲートライン(20)に、ソース電極(51)はソースライン(50)に、信号出力端であるドレイン電極(61)は、両系電極(7)に接続されており、ゲートライン(2)が選択されている間、両系電極



(7) はソース電極(51)の電位 $V_s$ 。にほぼ等しい電位になる。液晶層(8)は、対向電極(9)と画素電極(7)に挟まれており、画素電極(7)の電位 $V_{px}$ の高低に応じて、二つの電極の電位差による電気光学効果を示す。

第5図は、液晶パネルを駆動する際のタイミングチャートで、第5図(a)は、ゲート電極の電位 $V_g$ 、同図(b)はソース電極の電位 $V_s$ 、同図(c)は画素電極の電位 $V_{px}$ 、同図(d)は液晶層の透過率 $T_{lc}$ を示す。

つぎに、この従来例の動作を説明する。

一フレームの書き替えの間、第5図(a)に示す選択パルスによって、ゲートライン(20)が順次選択されてゆく。各画素のドレイン電極(61)と画素電極(7)の電位 $V_{px}$ には、ゲートライン(20)が選択されているときのソース電極(51)の電位 $V_s$ （第5図(b)図示）が書き込まれ（第5図(c)）、次の信号書き込みまでの間、この画素電極(7)の電位が保たれていると、液晶層(8)の透過率 $T_{lc}$ （第5図(d)図示）は一フレームの間一定

#### 〔課題を解決するための手段〕

この発明に係る液晶パネルでは、液晶パネルのアレイ基板上に、ゲートラインとソースラインの他に、高電圧ラインと低電圧ラインとを設けるとともに、各画素に画素選択トランジスタの出力を人力とする上記高圧ラインと低圧ラインとの間に

タ回路の出力電圧を液晶素子の画素電極に印加するようにした点を特徴とする。

#### 〔作用〕

この発明における液晶パネルでは、画素選択トランジスタの出力に応じて、画素電極電位が次の信号入力までの間、高電圧ライン電位または低電圧ライン電位に保たれるので、液晶層を通じての透過電流や画素選択トランジスタや液晶層のリーク等による画素電極電位の変動をさけることができ、ちらつきのない良好な二値表示を実現できる。

#### 〔発明の実施例〕

以下、この発明の一実施例を図について説明す

で、ちらつきのない表示動作が行なわれる。

#### 〔発明が解決しようとする課題〕

従来の液晶パネルは、以上のように構成されていたので、ゲート選択時間の間に画素電極に所定の電荷を貯えても、フレーム書き換え時間の間における液晶層を通じての透過電流やトランジスタや、液晶のリーク等による電荷の放逸のため、液晶層にかかる電圧が低下し、ちらつきが生じるといった問題点があった。

この問題点を解決するため、従来画素電極前段のゲート電極の間に、保持容量を設ける等の方策がとられるが、液晶層の抵抗値が小さい場合には、かなり大きな保持容量を設けて液晶印加電位の低下を防ぐ必要があり、それが開口率の低下をもたらすという問題点が生じていた。

この発明は、上記のような問題点を解消するためになされたもので、抵抗値の小さな液晶材料を用いた場合でも、本質的にちらつきがなく、良好な二値表示を行なえる液晶パネルを得ることを目的とする。

第1図は、この実施例の液晶パネルの一画素内の構成を等価回路で示した図で、(500)はスイッチングトランジスタ、(600)は負荷トランジスタで、各トランジスタはいずれもnチャンネルのエンハンスメント型のものである。(21)、(22)、(23)は各トランジスタ(400)、(500)、(600)のゲ-

ス電極、(61)、(62)、(63)は各トランジスタのドレイン電極、(20)は高電圧ライン、(30)は低電圧ラインで、高電圧ライン(20)、低電圧ライン(30)、スイッチングトランジスタ(50)および負荷トランジスタ(60)によって、インバータ回路(70)が形成されている。(90)は負荷容量で、画素選択トランジスタ(40)のドレイン電極(61)は、負荷容量(90)およびインバータ回路(70)の人力端に接続されている。インバータ回路(70)は、nチャンネルのエンハンスメント型トランジスタ二個からなるいわゆるN E I. S型の回路であって、スイッチングトランジスタ(50)のドレイン電極(62)は低電圧ライン(30)に、ソース電極(52)は負荷トランジスタ

(50)のソース電極(53)に接続され、負荷トランジスタ(50)のゲート電極(23)およびドレイン電極(63)は高電圧ライン(20)に接続され、インバータ回路(70)の出力端は両基電極(7)に接続されており、両基電極(7)の電位は、インバータ回路(70)の入力電位の高低に応じて、低電圧ライン(30)の電位 $V_L$ 、または、高電圧ライン(20)の電位 $V_H$ のいずれかの電位に保たれる。

第2図は、この実施例の液晶パネルを駆動する際のタイミングチャートを示した図で、第2図(a)、ゲート電極電位 $V_G$ 、同図(b)はソース電極電位 $V_S$ 、同図(c)はドレイン電極の電位 $V_D$ 、同図(d)は両基電極の電位 $V_{out}$ 、同図(e)は液晶層の透過率 $T_{lc}$ を示す。

次に、この実施例の動作を説明する。

ある画素を選択する場合、その画素選択トランジスタ(40)が接続されているゲートライン(2)が選択されているときは、当該画素選択トランジスタ(40)が接続されているソースライン(5)の電位 $V_S$ を高電位とする。これによって、次のゲート

られる半導体材料が使用できる。

また、アレイを形成する基板としては、ガラス基板が一般的であるが、結晶シリコン等の半導体結晶基板を用いることもできる。この場合、薄膜トランジスタの代わりに、MOSトランジスタを基板内に作りこんでアレイ基板とすることもできる。さらに、トランジスタとしては、pチャネル

インバータ回路の構成を適宜選択することで、同様の効果が期待できる。

さらに、上記実施例では、インバータ回路の負荷トランジスタをオーミック抵抗等置き換えてもよく、さらに、低電圧ラインとして、一段前のゲートラインを用いても、その効果はほとんど変わらない。さらに、低電圧ラインおよび高電圧ラインは、表示面全体を覆う導電膜として構成することもできる。

また、その駆動動作においては、低電圧源と高電圧源を異なる電位とし、その電位をほぼ一フレーム時間の間保つことが必要であり、その他の

選択時まで、インバータ回路(70)の入力 $V_{in}$ は、高電位に保たれ、インバータ回路(70)の出力 $V_{out}$ は、 $V_L$ に近い値となり、対向電極(9)の電位 $V_{co}$ を $V_L$ に等しい電位に設定すれば、液晶印加電圧 $V_{lc} = V_{out} - V_{co}$ は、ほぼ $V_H - V_L$ となり、液晶素子(10)に電圧を印加することができる。

他方、選択しない画素に接続されているゲートライン(2)が選択されているときは、そのソースライン(5)の電位 $V_S$ を低電位とする。これによって、次のゲート選択時まで、インバータ入力 $V_{in}$ が低電位に保たれ、インバータの出力 $V_{out}$ は、 $V_H$ に近い値となる。したがって $V_{lc}$ は、ほぼ0Vとなり、その画素を非選択状態にすることができる。

なお、上記実施例では、各画素を構成する薄膜トランジスタとして、nチャネルのエンハンスメント型の薄膜トランジスタを用いたが、その駆動時には、アモルファスシリコン膜、多結晶シリコン膜やCdS膜等の液晶パネルにしばしば用い

電位の高低やその印加のタイミングは、液晶の物性や、アレイ回路の特性に応じてさまざまに変更して差しつかえない。

また、第1図に示した実施例の液晶パネルを用いて、強誘電性液晶のアクティブマトリックス法による駆動を行なうことができる。

第3図はこの駆動動作時のタイミングチャート

(b)はソース電極の電位 $V_S$ 、同図(c)はインバータ入力電位 $V_{in}$ 、同図(d)は高電圧ライン電位 $V_H$ 、同図(e)は低電圧ライン電位 $V_L$ 、同図(f)は液晶素子印加電圧 $V_{lc}$ 、同図(g)は液晶層の透過率 $T_{lc}$ を示している。

液晶層(8)は、バイポーラパルス、または、単純矩形パルスで分極反転を生じ、かつ、メモリ性の良好な強誘電性液晶(以下、「DLC」という)で構成する。ここでは、バイポーラパルスによる駆動について例を示す。駆動にあたっては、まず、負荷容量(90)に画像データを蓄え込む間(第3図中のA期間)、 $V_H$ と $V_L$ を $V_{co}$ にほ

は同じ電位  $V_{DD}$  に設定する。したがって、この場合は、画像データの値に関係なく、各画素で  $V_{DD} \sim 0V$  となり、各画素の液晶素子(10)は、前フレームの表示状態を保持している。

つぎに、画像データの書き込みが終わったのち、 $V_{DD}$  と  $V_{SS}$  に F.L.C の分極反転が生じる程度の消去パルスを加える(第4図中のB期間)。これによって、画像データの値に関係なく、各画素の液晶素子(10)のメモリ状態の消去が行なわれる。

つぎに、 $V_{DD}$  のみに F.L.C の分極反転が生じる程度の書き込みパルスを加える(第4図中のC期間)。この時の F.L.C の応答は、各画素のインバータ入力電位  $V_{IN}$ 、つまり書き込まれた画像データの値により異なる。インバータへの入力電位が低いときは、 $V_{DD} \rightarrow V_{SS}$  となり、 $V_{DD}$  への書き込みパルスの印加にしたがって、画素電極(7)へのパルスの書き込みが行なわれて、F.L.C の分極反転が生じる。他方、インバータへの入力電位が高いときは、 $V_{DD} \rightarrow V_{DD}$  ( $=V_{DD}$ ) となり、F.L.C の分極反転は生じない。これによって、液

晶パネルのちらつきのない高画質表示動作を実現できる。

#### (発明の効果)

以上のように、この発明は、画素選択トランジスタの出力を入力とし、高電圧ラインと低電圧ラインの間に接続されたスイッチングトランジスタと負荷とで構成されたインバータ回路を設け、このインバータ回路の出力を液晶素子の画素電極に印加して一フレーム時間のほとんどの間、その電位を一定に保つようにしたものであるから、液晶の誘電緩和や漏れ電流による画素電位の低下等起因するちらつきがなく、良好な高画質表示が可能な液晶パネルが得られる効果がある。

#### 4. 図面の簡単な説明

第1図は、この発明の一実施例による液晶パネルの一画素の構成を示す等価回路、第2図はこの実施例のタイミングチャート、第3図はこの実施例の他の駆動動作時のタイミングチャート、第4図は従来の液晶パネルの一画素の等価回路図、

第5図はこの従来例のタイミングチャートである。

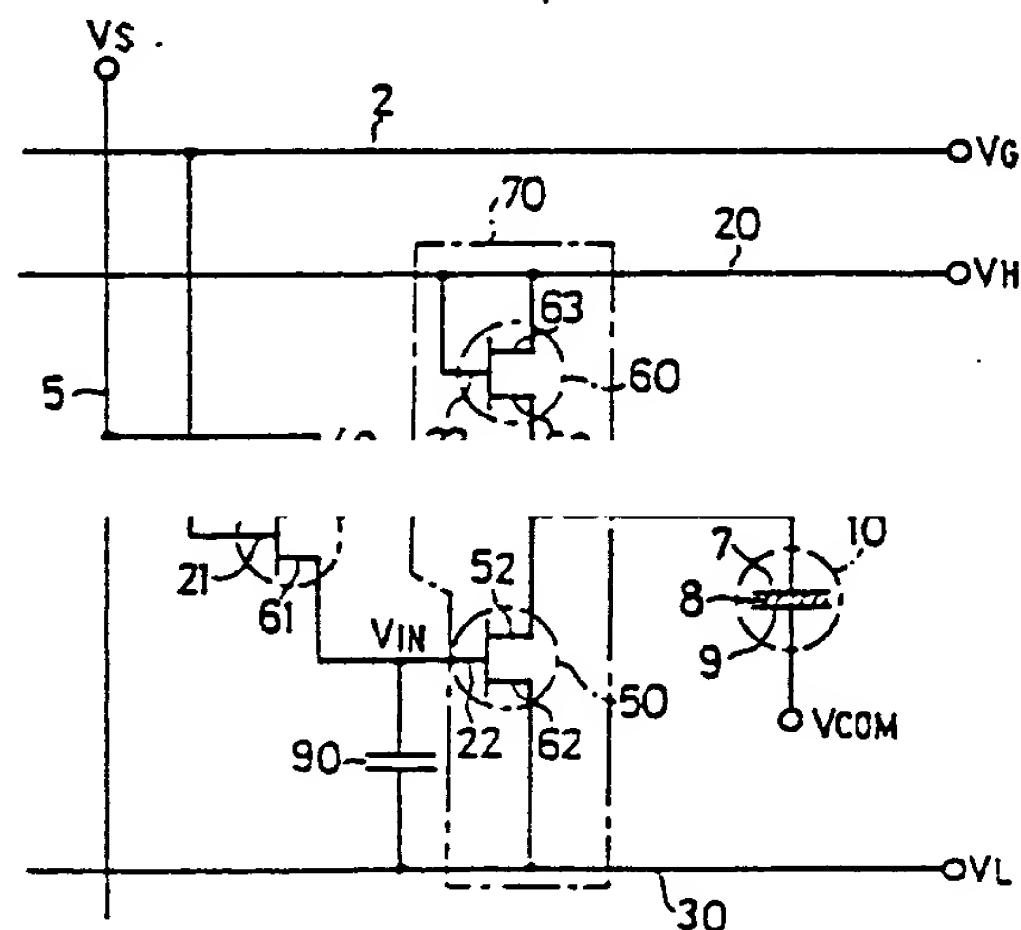
(2)→ゲートライン、(21)、(22)、(23)→ゲート電極、(5)→ソースライン、(51)、(52)、(53)→ソース電極、(61)、(62)、(63)→ドレイン電極、(7)→画素電極、(8)→液晶層、(9)→対向電極、(10)→液晶素子、(20)→高電圧ライン、(30)

(50)→スイッチングトランジスタ、(60)→負荷トランジスタ、(70)→インバータ回路である。

なお、図中、同一符号は同一、または、相当部分を示す。

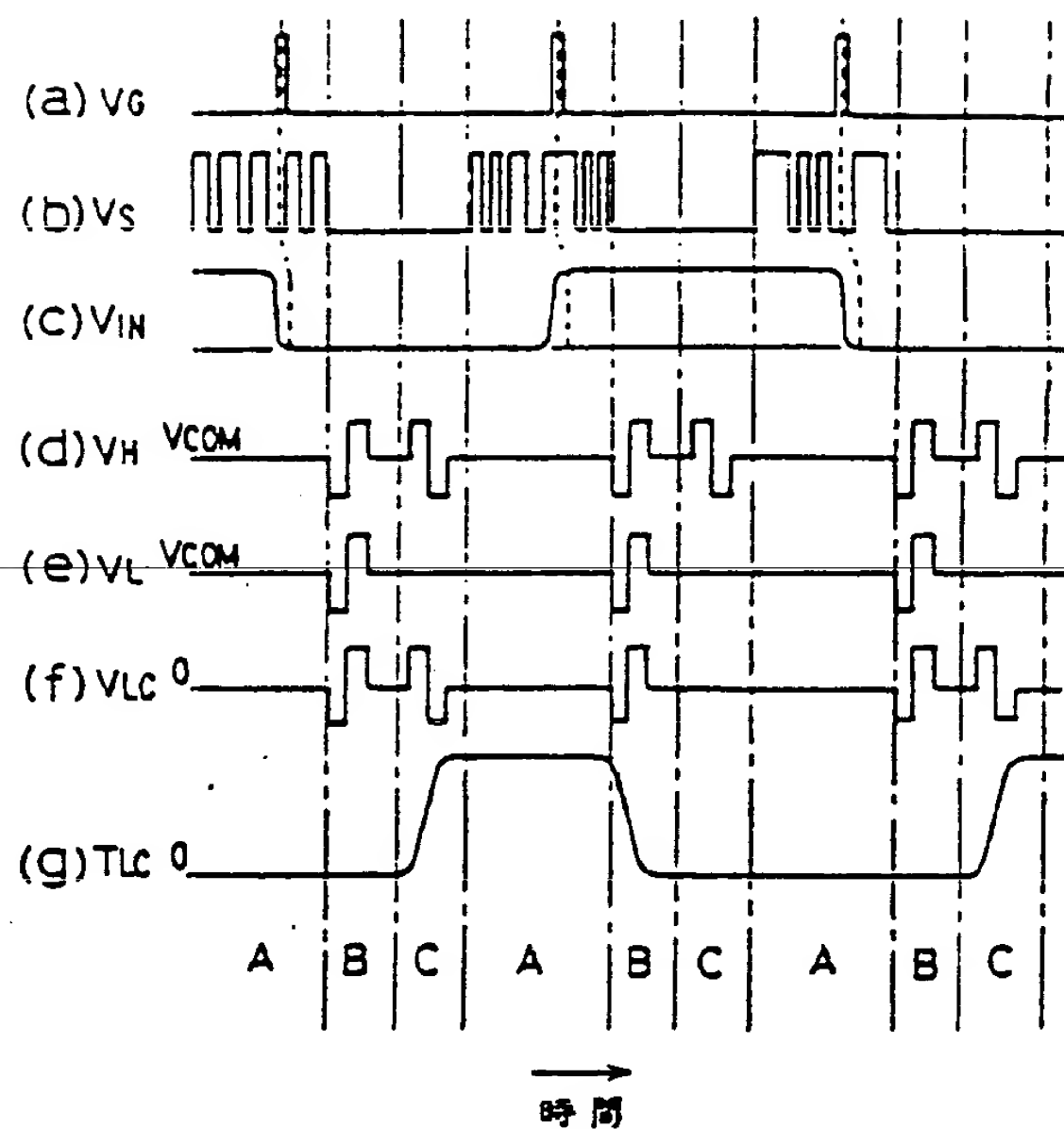
代理人 大岩増雄

第1図

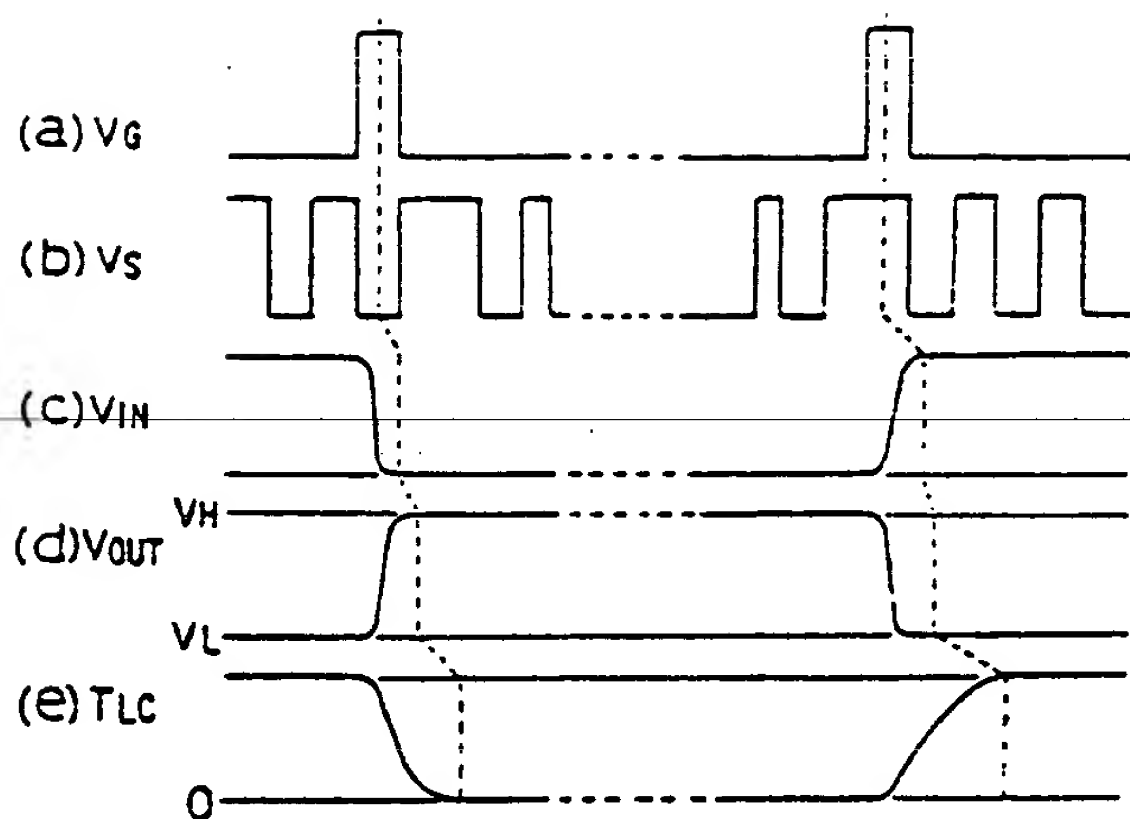


- |                |                 |
|----------------|-----------------|
| 2:ゲートライン       | 30:低電圧ライン       |
| 21,22,23:ゲート電極 | 40:画素選択トランジスタ   |
| 5:ソースライン       | 50:スイッチングトランジスタ |
| 7:画素電極         | 51,52,53:ソース電極  |
| 9:対向電極         | 60:負荷トランジスタ     |
| 10:液晶素子        | 61,62,63:ドレイン電極 |
| 20:高電圧ライン      |                 |

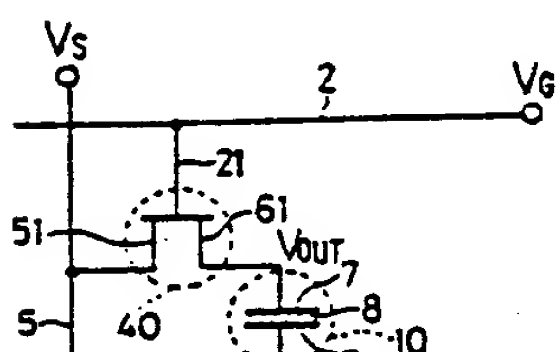
第3図



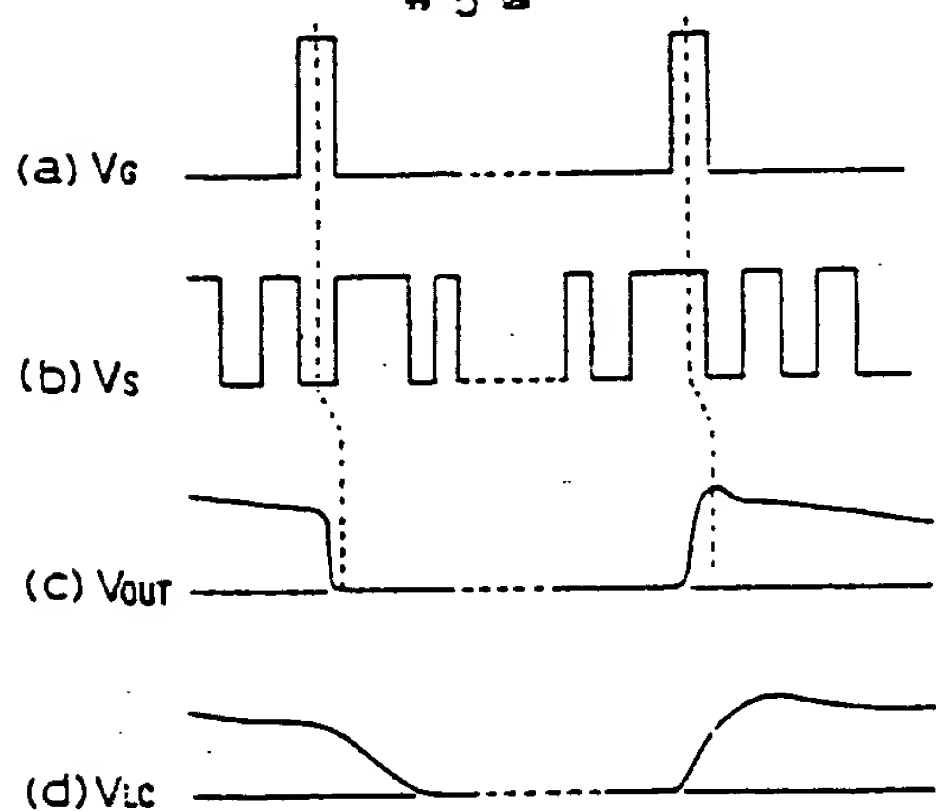
第2図



第4図



第5図



手続補正書 (自発)

平成  
昭和 2 年 6 月 25 日

特許庁長官殿

1. 事件の表示

特願昭 2-024631号

2. 発明の名称

3. 補正をする者

事件との関係

特許出願人

住所

東京都千代田区丸の内二丁目2番3号

名称

(601)三菱電機株式会社

代表者 志岐守哉

4. 代理人

住所

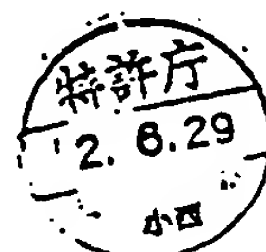
東京都千代田区丸の内二丁目2番3号

三菱電機株式会社内

氏名

(7375)弁理士 大岩増雄

(連絡先03(213)3421特許部)



5. 補正の対象

明細書の「特許請求の範囲」、「発明の詳細な説明」および「図面の簡単な説明」の各欄ならびに図面

6. 補正の内容

A. 明細書:

- (1) 特許請求の範囲を別紙の通り補正します。
- (2) 第5頁第6行目:  
「高圧ラインと低圧ラインとの間に」とあるを「高圧ラインおよび低圧ラインに」と訂正します。
- (3) 第6頁第2行目:  
「(500)」とあるを「(50)」と訂正します。
- (4) 第6頁第3行目:  
「(600)」とあるを「(60)」と訂正します。
- (5) 第6頁第6行目:  
「(400)、(500)、(600)」とあるを「(40)、(50)、(60)」と訂正します。
- (6) 第9頁下から3行目ないし下から2行目:  
「低電圧線と高電圧線を」とあるを「低電圧ラ

インと高電圧ラインを」と訂正します。

(7) 第10頁第6行目:

「駆動」とあるを「高速駆動」と補正します。

(8) 第12頁第1行目:

「パネルの」のつぎに「高速動作および」を加入します。

B. 図面:

(1) 第1図の符号(70)、および(90)の名称を追加するため同図を別紙の通り再提出します。

(2) 第5図(d)の名称「V<sub>ic</sub>」を「T<sub>ic</sub>」に訂正するため、同図を別紙の通り再提出します。

以上

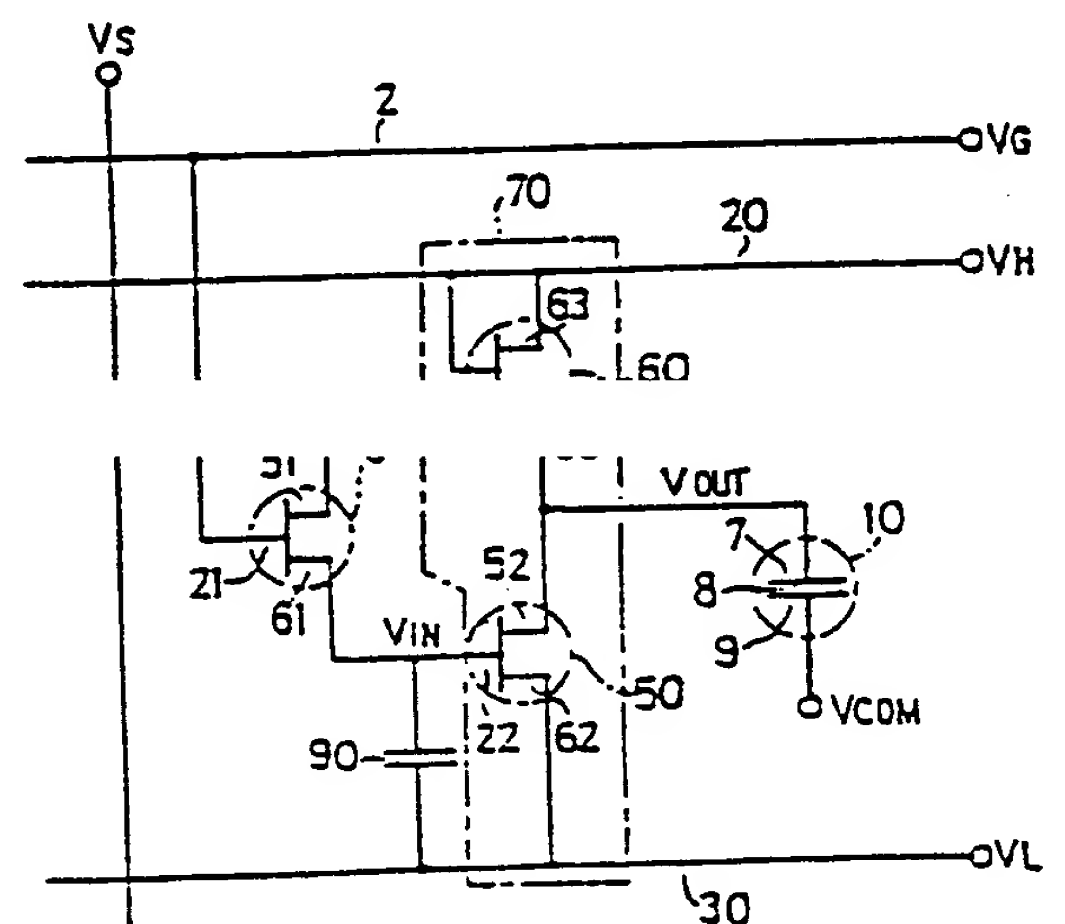
別紙

補正後の特許請求の範囲

「(1) ゲートラインと、ソースラインと、少なくとも一面面を置き換える間それぞれほぼ定電位に保たれる高電圧ラインおよび低電圧ラインを備えたいわゆるアクティブマトリックス型の液晶パ

ネー爾、ゲート電極が接続され上記ソースラインにソース電極が接続された画素選択トランジスタと、このトランジスタのドレイン電極にゲート電極が接続されドレイン電極が上記低電圧ラインに接続されたスイッチングトランジスタおよびこのスイッチングトランジスタのソース電極と上記高電圧ラインの間に接続された負荷トランジスタもしくはオーミック抵抗と、上記スイッチングトランジスタのソース電極に画素電極が接続され対向電極が上記高電圧ラインに近い電位に保持されている液晶素子とを備えた液晶パネル。」

第1図



- |                |                 |
|----------------|-----------------|
| 2:ゲートライン       | 40:画素選択トランジスタ   |
| 21,22,23:ゲート電極 | 50:スイッチングトランジスタ |
| 5:ソースライン       | 51,52,53:ソース電極  |
| 7:画素電極         | 60:負荷トランジスタ     |
| 9:対向電極         | 61,62,63:ドレイン電極 |
| 10:液晶素子        | 70:インバータ回路      |
| 20:高電圧ライン      | 90:負荷容量         |
| 30:低電圧ライン      |                 |



第5圖

